

# SOLID-STATE IMAGING APPARATUS AND METHOD OF MANUFACTURING THE SAME

**Publication number:** JP2008053628 (A)

**Publication date:** 2008-03-06

**Inventor(s):** GOTO TAKAYUKI; FUJIMAGARI JUNICHIRO +

**Applicant(s):** SONY CORP +

**Classification:**

- **international:** *H01L27/14; H01L27/14*

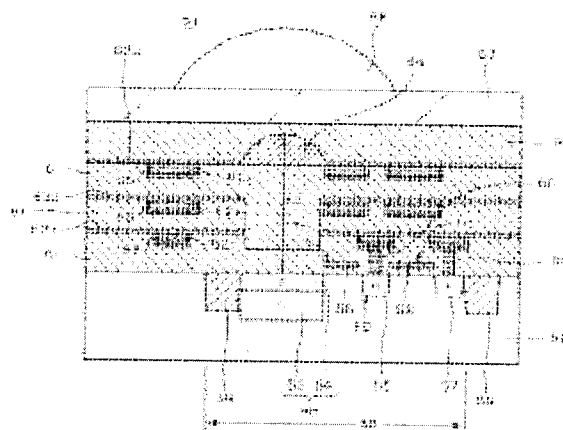
- **European:**

**Application number:** JP20060230795 20060828

**Priority number(s):** JP20060230795 20060828

**Abstract of JP 2008053628 (A)**

**PROBLEM TO BE SOLVED:** To improve sensitivity by reducing layer thickness from a photoelectric converter to an inner-layer lens, and to reduce manufacturing process steps in a CMOS-type solid-state imaging apparatus. ; **SOLUTION:** The apparatus includes an imaging region where a plurality of pixels 50 are arranged, and multilayer Cu wiring 621 to 623 formed in an upper part of the plurality of pixels 50 via interlayer dielectrics 61, wherein each pixel 50 comprises a photoelectric conversion section PD and MOS transistors Tr1, Tr2. In each pixel, an inner-layer lens 64 is formed using a diffusion-preventing film 633 for the Cu wiring. ; **COPYRIGHT:** (C)2008,JPO&INPIT



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-53628

(P2008-53628A)

(43) 公開日 平成20年3月6日(2008.3.6)

(51) Int.Cl.

H01L 27/14 (2006.01)

F1

H01L 27/14

D

テーマコード(参考)

4M118

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2006-230795(P2006-230795)  
(22) 出願日 平成18年8月28日(2006.8.28)(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100122884  
弁理士 角田 芳末  
(74) 代理人 100133824  
弁理士 伊藤 仁恭  
(72) 発明者 後藤 貴之  
東京都品川区北品川6丁目7番35号 ソ  
ニー株式会社内  
(72) 発明者 藤曲 潤一郎  
東京都品川区北品川6丁目7番35号 ソ  
ニー株式会社内

最終頁に続く

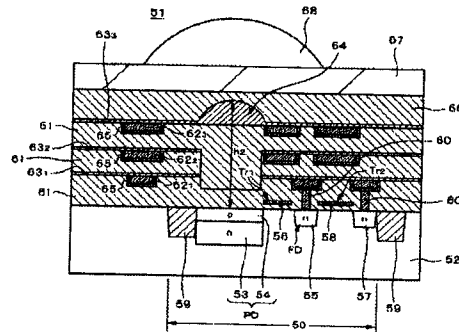
(54) 【発明の名称】 固体撮像装置及びその製造方法

(57) 【要約】

【課題】CMOS型の固体撮像装置において、光電変換部から層内レンズまでの層厚を低くして感度の向上を図ると共に、製造工程数の削減を可能にする。

【解決手段】光電変換部PDとMOSトランジスタTr1, Tr2で構成される複数の画素50が配列された撮像領域と、複数の画素50の上方に層間絶縁膜61を介して形成された多層のCu配線621~623を有し、Cu配線の拡散防止膜633を用いて層内レンズ64が形成されて成る。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

光電変換部とMOSトランジスタで構成される複数の画素が配列された撮像領域と、前記複数の画素の上方に層間絶縁膜を介して形成された多層のCu配線を有し、前記Cu配線の拡散防止膜を用いて層内レンズが形成されて成ることを特徴とする固体撮像装置。

**【請求項 2】**

前記層内レンズが、前記多層のCu配線の拡散防止膜のうちの、所要の層の拡散防止膜、あるいは全層の拡散防止膜を用いて形成されて成ることを特徴とする請求項 1 記載の固体撮像装置。

**【請求項 3】**

前記層内レンズが下凸レンズで形成されて成ることを特徴とする請求項 1 記載の固体撮像装置。

**【請求項 4】**

前記層内レンズが上凸レンズで形成されて成ることを特徴とする請求項 1 記載の固体撮像装置。

**【請求項 5】**

光電変換部とMOSトランジスタで構成される複数の画素を形成する工程と、前記複数の画素の上方に層間絶縁膜を介してCu配線を形成し、前記Cu配線上及び前記光電変換部に対応した領域を含む面に、所要の厚さの拡散防止膜を形成する工程と、前記拡散防止膜上に層内レンズ形状部材を形成し、エッチバック処理して前記拡散防止膜による層内レンズを形成する工程を有することを特徴とする固体撮像装置の製造方法。

**【請求項 6】**

前記光電変換部に対応する領域上における前記層内レンズを作らない他の層の拡散防止膜を、層内レンズを形成する前に除去する工程を有することを特徴とする請求項 5 記載の固体撮像装置の製造方法。

**【請求項 7】**

前記層内レンズを作る前記拡散防止膜を、他の拡散防止膜の膜厚より厚く形成することを特徴とする請求項 5 記載の固体撮像装置の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、層内レンズを組み込んだ固体撮像装置及びその製造方法に関する。

本発明は、特に、光電変換により生成された電荷を画素信号に変換する変換部を画素内に含む固体撮像装置、すなわち光電変換部とMOSトランジスタとを含む複数の画素を備えた固体撮像装置、例えばCMOSイメージセンサ及びその製造方法に関する。

**【0002】**

ここで、CMOSイメージセンサとは、CMOSプロセスを応用して、又は部分的に使用して作成されたイメージセンサである。また、固体撮像装置の形態としては、ワンチップで構成されるもの、あるいは複数のチップから構成されるものであっても良い。

**【背景技術】****【0003】**

固体撮像装置としては、CMOSイメージセンサが知られている。図15にCMOSイメージセンサの構成（等価回路）の一例を示す。このCMOSイメージセンサ1は、同一の半導体基板上に、光電変換を行う光電変換部、いわゆるフォトダイオード2と、このフォトダイオード2を選択読み出すための複数のMOSトランジスタとからなる複数の画素3を2次元的に配列した撮像領域4を備えて成る。さらに同一の半導体基板上の撮像領域4の周辺に、画素の選択と信号出力のための周辺回路5、6を備えている。

**【0004】**

10

20

30

40

画素3は、1つのフォトダイオード2と、複数のMOSトランジスタ、この例では転送用トランジスタ8、リセット用トランジスタ9及び増幅用トランジスタ10の3個のMOSトランジスタとで構成されている。また、周辺回路としては、画素選択ための回路（垂直走査回路）5と出力回路（水平走査・出力回路）6がCMOSトランジスタを用いて構成される。その他、図示しないが周辺回路にはカラム信号処理回路、クロック信号や制御信号を生成する制御回路等が設けられる。

#### 【0005】

フォトダイオード2は転送用トランジスタ8のソースに接続される。転送用トランジスタ8のゲートには転送用配線11が接続される。転送用トランジスタ8のドレインは、リセット用トランジスタ9のソースに接続されると共に、転送用トランジスタ8のドレインとリセット用トランジスタ9のソース間のいわゆるフローティング・ディフュージョンFDを介して増幅用トランジスタ10のゲートにお接続される。リセット用トランジスタ9のゲートはリセット配線12に接続される。また、リセット用トランジスタ9のドレインと増幅用トランジスタ10のドレインが電源供給するための電源配線13に接続される。増幅用トランジスタ10のソースが垂直信号線14に接続される。

#### 【0006】

近年、急速に拡大し続けるCMOSイメージセンサ市場において、多画素化及び基本特性の向上に対する要求は止まることがない。CMOSイメージセンサでは、画素の小型化により、同一チップサイズにおける多画素化を行う一方で、同一画素数におけるチップサイズのシュリンクを行い、セットの多画素化、小型化への貢献への気体も高い。

#### 【0007】

多画素化を達成するための技術の一つとして、Cu配線プロセスを利用し、微細画素を形成することで多画素化を達成すること、そのための技術開発が活発に行われている。そして、固体撮像装置においては、Cu配線プロセスを利用する際に発生する、Cu配線プロセスならではの課題を改善する、様々な技術が提案されている（例えば特許文献1参照）。

#### 【0008】

一方、入射光の集光を高め更なる感度を向上するために、オンチップレンズの他にさらに層内レンズを設ける構成が知られている。Cu配線プロセスでは、Cu配線層を形成した後に、Cuの拡散を抑制するために、例えばSiC膜、SiN膜による拡散防止膜を形成する製造方法が一般的である。Cu配線プロセスを利用したCMOSイメージセンサにおいて、層内レンズの形成は、拡散防止膜の上に新規な層を形成し、その層を加工することで層内レンズを形成している（特許文献2参照）。

#### 【0009】

図14に、従来の層内レンズを有するCMOSイメージセンサの例を示す。このCMOSイメージセンサ21は、半導体基板22の主面にn型電荷蓄積領域23とその表面のp型半導体領域（p型アキュムレーション層）24とによるフォトダイオードPDが形成されると共に、複数のMOSトランジスタが形成されてなる。図では複数のMOSトランジスタのうち、転送用トランジスタTr1とリセット用トランジスタTr2を示す。転送トランジスタTr1は、フローティング・ディフュージョンFDとなるn型半導体領域25と、フォトダイオードPDと、ゲート絶縁膜を介して形成された転送ゲート電極26とにより構成される。リセット用トランジスタTr2は、フローティング・ディフュージョンFDとなるn型半導体領域25と、n型半導体領域27と、ゲート絶縁膜を介して形成されたリセットゲート電極28とより構成される。単位画素は素子分離領域29にて隣接画素と分離される。

#### 【0010】

画素が形成された半導体基板22上には、例えばSiO<sub>2</sub>膜による層間絶縁膜31を介してCu配線32による多層配線が形成される。この例では3層のCu配線32が形成される。各層のCu配線32上には、Cuの拡散を防止するために、例えばSiC膜、あるいはSiN膜による拡散防止膜33が形成される。ここで、拡散防止膜33となる例えば

SiC膜、SiN膜の屈折率 ( $n=2.05$ ) は、層間絶縁膜31となる例えばSiO<sub>2</sub>膜の屈折率 ( $n=1.46$ ) に比較して大きいため、層間絶縁膜31と拡散防止膜33の界面で入射光が反射し、多重干渉を起こし、イメージセンサの分光特性を悪化させてしまう。このため、各層の拡散防止膜33では、フォトダイオードPDに対応する部分が除去されている。フォトダイオードPDに対応して、拡散防止膜33が除去された部分を含めて、層間絶縁膜31と同じ例えばSiO<sub>2</sub>膜による絶縁膜34が形成される。

#### 【0011】

層内レンズ36は、このSiO<sub>2</sub>膜による絶縁膜34に凹部を形成し、凹部を埋め込むようにSiN膜37を形成して構成される。

さらに、上面にSiN膜による平坦化膜38を介してカラーフィルタ39が形成され、  
カラーフィルタ39上にオンチップマイクロレンズ40が形成される。 10

#### 【0012】

【特許文献1】 特開2003-324189号公報

【特許文献2】 特開2005-311015号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0013】

ところで、従来の層内レンズを有するCMOSイメージセンサ21においては、層内レンズ36を形成する手法として、上述したように拡散防止膜の上に新規な層（絶縁膜）34、36を形成し、その層34、36を加工して層内レンズを形成している。このため、  
製造工程数が多くなると共に、フォトダイオードPDから層内レンズ36までの層厚h1  
が高くなり、感度が低下するといった、製造の煩雑さ、コスト、特性の面で課題があった。 20

#### 【0014】

本発明は、上述の点に鑑み、光電変換部から層内レンズまでの層厚を低くして感度の向上を図ると共に、製造工程数の削減を可能にしたCMOS型の固体撮像装置及びその製造方法を提供するものである。

【課題を解決するための手段】

#### 【0015】

本発明に係る固体撮像装置は、光電変換部とMOSトランジスタで構成される複数の画  
素が配列された撮像領域と、複数の画素の上方に層間絶縁膜を介して形成された多層のC  
u配線を有し、Cu配線の拡散防止膜を用いて層内レンズが形成されて成ることを特徴と  
する。 30

#### 【0016】

本発明の固体撮像装置では、Cu配線の拡散防止膜を用いて層内レンズが形成されるので、光電変換部から層内レンズまでの層厚が低くなる。また、層内レンズを構成するための層を別途設ける必要がない。

#### 【0017】

本発明に係る固体撮像装置の製造方法は、光電変換部とMOSトランジスタで構成される複数の画素を形成する工程と、複数の画素の上方に層間絶縁膜を介してCu配線を形成  
し、Cu配線上及び前記光電変換部に対応した領域を含む面に、所要の厚さの拡散防止膜  
を形成する工程と、拡散防止膜上に層内レンズ形状部材を形成し、エッチバック処理して  
前記拡散防止膜による層内レンズを形成する工程を有することを特徴とする。 40

#### 【0018】

本発明に係る固体撮像装置の製造方法によれば、Cu配線上及び光電変換部上に対応する領域に、所要の厚さの拡散防止膜を形成し、その上に層内レンズ形状部材を形成して、エッチバック処理して拡散防止膜による層内レンズを形成するので、既存の層を利用して層内レンズを形成することができ、別途層内レンズ用の層を新規に設ける必要がない。Cu配線に拡散防止膜を利用して層内レンズを形成するので、光電変換部から層内レンズまでの層厚を低くすることができる。

## 【発明の効果】

## 【0019】

本発明に係る固体撮像装置によれば、Cu配線の拡散防止膜にて層内レンズが形成され、光電変換部から層内レンズまでの層厚は低くなるので、入射光の集光が更により、より感度を向上することができる。層内レンズを構成する層を別途設ける必要がないので、製造工数を削減することができる。

## 【0020】

本発明に係る固体撮像装置の製造方法によれば、層内レンズを有する固体撮像装置を製造工程数を削減して製造することができる。また、光電変換部から層内レンズまでの層厚を低くして層内レンズを形成するので、入射光の集光に優れた固体撮像装置を製造することができる。 10

## 【発明を実施するための最良の形態】

## 【0021】

以下、図面を参照して本発明の実施の形態を説明する。

## 【0022】

本発明の実施の形態に係る固体撮像装置は、前述の図14に示す1つのフォトダイオードPDと3つのMOSトランジスタとからなる画素を備えたCMOSイメージセンサ、あるいは1つのフォトダイオードと、選択用トランジスタを追加した4つのMOSトランジスタとから画素を備えたCMOSイメージセンサ、さらには複数の画素でフローティング・ディフュージョンを共有させたCMOSイメージセンサ等に適用することができる。 20

## 【0023】

図1に、本発明に係る固体撮像装置、いわゆるCMOSイメージセンサの第1実施の形態を示す。本実施の形態に係る固体撮像装置51は、例えばシリコンの半導体基板52の主面に第1導電型、例えばn型の電荷蓄積領域53とその表面の第2導電型、例えばp型の半導体領域（いわゆるp型アキュムレーション層）54とからなる光電変換部となるフォトダイオードPDが形成される。また、同半導体基板52に複数のMOSトランジスタが形成され、これら複数のMOSトランジスタとフォトダイオードPDにより単位画素50が形成される。これら複数の画素50が2次元的に配列されて撮像領域が形成される。

## 【0024】

図1では、複数のMOSトランジスタのうち、転送用トランジスタTr1とリセット用トランジスタTr2を示す。転送用トランジスタTr1は、フローティング・ディフュージョンFDとなるn型半導体領域55と、フォトダイオードPDと、その間のゲート絶縁膜を介して形成された転送ゲート電極56とにより構成される。リセット用トランジスタTr2は、フローティング・ディフュージョンFDとなるn型半導体領域55と、n型半導体領域57と、ゲート絶縁膜を介して形成されたリセットゲート電極58とにより構成される。画素50は、例えば、選択酸化層（LOCOS）あるいはトレンチ分離領域などによる素子分離領域59により隣接画素と分離される。 30

## 【0025】

画素50が形成された半導体基板52上には、例えばSiO<sub>2</sub>膜による層間絶縁膜61を介してCu配線62による多層配線が形成される。本例では3層のCu配線62〔621、622、623〕が形成される。このCu配線62はいわゆるデュアルダマシン法により形成される。各層のCu配線62〔621、622、623〕上には、Cuの拡散を防止するための拡散防止膜63〔631、632、633〕が形成される。このCu配線62の拡散防止膜63としては、SiC膜、SiN膜が用いられる。 40

## 【0026】

転送用トランジスタTr1のドレインとなるフローティング・ディフュージョンFDは、1層目の所要のCu配線621に埋め込み導電部材60を介して接続される。リセット用トランジスタTr2のドレインとなるn型半導体領域57は、1層目の所要のCu配線621に埋め込み導電部材60を介して接続される。なお、各Cu配線62の下面及び側面 50

にはバリア膜65が形成される。

【0027】

そして、本実施の形態においては、特にフォトダイオードPD上に対応する位置に、拡散防止膜63を用いて層内レンズ64を形成する。本例では最上層の拡散防止膜633を用いて層内レンズ64が形成される。層内レンズ64は、この例では上凸レンズで形成される。拡散防止膜63のうち、層内レンズ64を形成した最上層（第3層目）の拡散防止膜633を除いて、他の第1層目、第2層目の拡散防止膜631、632は、フォトダイオードPD上に対応する部分が層間絶縁膜61及び後述の層間絶縁膜66との界面での多重干渉を抑えるために選択的に除去される。

【0028】

さらに、層内レンズ64上を覆うように例えばSiO<sub>2</sub>膜による平坦化膜となる層間絶縁膜66を介してカラーフィルタ67、その上にオンチップマイクロレンズ68が形成される。

【0029】

図3～図7に、第1実施の形態の固体撮像装置51の製造方法を示す。

先ず、図3Aに示すように、例えばシリコンの半導体基板52の主面側に光電変換部となるフォトダイオードPDと複数のMOSトランジスタ（この例では転送用トランジスタTr1とリセット用トランジスタTr2のみ示す）からなる複数の画素50を形成する。すなわち、半導体基板52の主面に第1導電型、例えばn型の電荷蓄積領域53とその表面の第2導電型であるp型のアキュムレーション層54からなるフォトダイオードPDを形成する。また、半導体基板52の主面側にフローティング・ディフュージョンFDとなるn型半導体領域55、n型半導体領域57を形成し、フォトダイオードPDとn型半導体領域55間にゲート絶縁膜を介して例えば多結晶シリコンによる転送ゲート電極56を形成して転送用トランジスタTr1を形成し、n型半導体領域55とn型半導体領域57間にゲート絶縁膜を介して例えば多結晶シリコンによるリセットゲート電極58を形成してリセット用トランジスタTr2を形成する。半導体基板52には、各画素50を区画するように素子分離領域59を形成する。

【0030】

さらに、画素50を形成した半導体基板52上に、例えばSiO膜による層間絶縁膜611を介してデュアルダマシン法を用いて第1層目のCu配線621を形成する。Cu配線621の形成前には、フローティング・ディフュージョンFD及びn型半導体領域57に導通し、その後にCu配線621と接続される埋め込み導電部材60、及びCu配線621の下面、側面に接する例えばTa、Ta<sub>N</sub>によるバリア膜65を形成する。バリア膜65はCuの拡散防止膜となる。

【0031】

次いで、第1層目のCu配線621の上面に接して全面に例えばSiC膜、SiN膜による第1層目のCuの拡散防止膜631を形成し、拡散防止膜631上に層間絶縁膜612を形成する。さらに、層間絶縁膜612に上記と同様にしてバリア膜65で覆われた第2層目のCu配線622を形成する。

【0032】

次に、図3Bに示すように、第2層目のCu配線622の上面に接して全面に第2層目のCuの拡散防止膜632を形成する。

【0033】

次に、図3Cに示すように、レジストマスク（図示せず）を介して、受光部であるフォトダイオードPD上に対応する部分の第1層目、第2層目の拡散防止膜631、632を、層間絶縁膜611、612と共に、選択的にエッチング除去する。このエッチング除去で開口部71が形成される。

【0034】

次に、図4Dに示すように、上記開口71を埋めるように第2層目の拡散防止膜632上を含む全面に、例えばSiO<sub>2</sub>膜による層間絶縁膜613を形成する。

10

20

30

40

50

## 【0035】

次に、図4Eに示すように、層間絶縁膜613を例えばCMP（化学機械研磨）法により所要の膜厚に研磨して表面を平坦化する。

## 【0036】

次に、図4Fに示すように、層間絶縁膜613に上記と同様にしてバリア膜65で覆われた第3層目のCu配線623を形成する。

## 【0037】

次に、図5Gに示すように、第3層目のCu配線623の上面に接して全面に第3層目のCuの拡散防止膜633を形成する。この第3層目の拡散防止膜633は、層内レンズを形成するに足る所要の厚さを有するように形成する。すなわち、この第3層目の拡散防止膜633の膜厚は、他の第1層目、第2層目の拡散防止膜631、632の膜厚よりも厚く形成する。

## 【0038】

次に、図5Hに示すように、第3層目の拡散防止膜633上のフォトダイオードPDに対応する位置に、層内レンズ形状部材となるレジスト層72を選択的に形成する。このレジスト層72は、通常のリソグラフィ技術を用いて形成することができる。

## 【0039】

次に、図6Iに示すように、レジスト層72をリフロー処理してレジスト層による層内レンズ形状部材73を形成する。

## 【0040】

次に、図6Jに示すように、層内レンズ形状部材73とともに第3層目の拡散防止膜633をエッチバック処理して、第3層目の拡散防止膜633による層内レンズ64を形成する。層内レンズ64以外の領域の拡散防止膜633の膜厚は第1層目、第2層目の拡散防止膜631、632の膜厚と同等の膜厚となる。

## 【0041】

次に、図7Kに示すように、層内レンズ64を覆うように全面に例えばSiO<sub>2</sub>膜による層間絶縁膜66を形成し、例えばCMP法により表面を平坦化する。この層間絶縁膜66は平坦化膜となる。

## 【0042】

次に、図7Jに示すように、平坦化膜となる層間絶縁膜66上にカラーフィルタ67を形成し、その上にオンチップマイクロレンズ68を形成して目的の固体撮像装置51を得る。

## 【0043】

上述の第1実施の形態の固体撮像装置51及びその製造方法によれば、最上層（第3層目）のCu配線の拡散防止膜633を用いて層内レンズ64が形成されるので、光電変換部となるフォトダイオードPDから層内レンズ64までの層厚h2が、従来の図14の固体撮像装置の層厚h1よりも低くなる。従って、入射光のフォトダイオードPDへの集光効率が有利になり、感度をより向上することができる。また、層内レンズ64を既存の拡散防止膜633を用いて形成するので、別途層内レンズ用の層を形成する必要がなく、製造工程数を削減することができ、製造の簡略化を図ることができる。このように本実施の形態では、図14の従来構造に比べて特性（感度）及び製造、コストの面で有利となる。

## 【0044】

また、層内レンズ64を形成する最上層の拡散防止膜633以外の第1層目、第2層目の拡散防止膜631、632の受光部上（フォトダイオードPD上）の部分は選択的に除去するので、分光特性の悪化を回避できる。

また、層内レンズ64を作る拡散防止膜633を、他の拡散防止膜631、632より厚く形成するので、層内レンズ64の形成を確保すると共に、他の拡散防止膜631、632の膜厚を薄くしているので、全体の層厚を抑制することができる。

## 【0045】

図2に、本発明に係る固体撮像装置、いわゆるCMOSイメージセンサの第2実施の形

10

20

30

40

50



態を示す。なお、図2において図1に対応する部分には同一符号を付する。本実施の形態に係る固体撮像装置81は、図1と同様に、例えばシリコンの半導体基板52の主面に第1導電型、例えばn型の電荷蓄積領域53とその表面の第2導電型、例えばp型の半導体領域（いわゆるp型アキュムレーション層）54とからなる光電変換部となるフォトダイオードPDが形成される。また、同半導体基板52に複数のMOSトランジスタが形成され、これら複数のMOSトランジスタとフォトダイオードPDにより単位画素50が形成される。これら複数の画素50が2次元的に配列されて撮像領域が形成される。

【0046】

図2では、図1と同様に、複数のMOSトランジスタのうち、転送用トランジスタTr1とリセット用トランジスタTr2を示す。転送用トランジスタTr1は、フローティング・ディフュージョンFDとなるn型半導体領域55と、フォトダイオードPDと、その間のゲート絶縁膜を介して形成された転送ゲート電極56とにより構成される。リセット用トランジスタTr2は、フローティング・ディフュージョンFDとなるn型半導体領域55と、n型半導体領域57と、ゲート絶縁膜を介して形成されたリセットゲート電極58とにより構成される。画素50は、例えば、選択酸化層（LOCOS）あるいはトレンチ分離領域などによる素子分離領域59により隣接画素と分離される。

【0047】

画素50が形成された半導体基板52上には、例えばSiO膜による層間絶縁膜61を介してCu配線62による多層配線が形成される。本例では3層のCu配線62〔621、622、623〕が形成される。このCu配線62はいわゆるデュアルダマシン法により形成される。各層のCu配線62〔621、622、623〕上には、Cuの拡散を防止するための拡散防止膜63〔631、632、633〕が形成される。このCu配線62の拡散防止膜63としては、SiC膜、SiN膜が用いられる。

【0048】

転送用トランジスタTr1のドレインとなるフローティング・ディフュージョンFDは、1層目の所要のCu配線621に埋め込み導電部材60を介して接続される。リセット用トランジスタTr2のドレインとなるn型半導体領域57は、1層目の所要のCu配線621に埋め込み導電部材60を介して接続される。なお、各Cu配線62の下面及び側面にはバリア膜65が形成される。

【0049】

そして、第2実施の形態においては、特にフォトダイオードPD上に対応する位置に、第2層目の拡散防止膜632を用いて層内レンズ64を形成する。層内レンズ64は、この例では上凸レンズで形成される。拡散防止膜63のうち、層内レンズ64を形成した第2層目の拡散防止膜632を除いて、他の拡散防止膜631、633のフォトダイオードPD上に対応する部分は、層間絶縁膜61及び後述の層間絶縁膜66との界面での多重干渉を抑えるために選択的に除去される。

【0050】

さらに、層内レンズ64上を覆うように例えばSiO膜による平坦化膜となる層間絶縁膜66を介してカラーフィルタ67、その上にオンチップマイクロレンズ68が形成される。

【0051】

図8～図13に、第2実施の形態の固体撮像装置81の製造方法を示す。

先ず、図8Aに示すように、例えばシリコンの半導体基板52の主面側に光電変換部となるフォトダイオードPDと複数のMOSトランジスタ（この例では転送用トランジスタTr1とリセット用トランジスタTr2のみ示す）からなる複数の画素50を形成する。すなわち、半導体基板52の主面に第1導電型、例えばn型の電荷蓄積領域53とその表面の第2導電型であるp型のアキュムレーション層54からなるフォトダイオードPDを形成する。また、半導体基板52の主面側にフローティング・ディフュージョンFDとなるn型半導体領域55、n型半導体領域57を形成し、フォトダイオードPDとn型半導体領域55間にゲート絶縁膜を介して例えば多結晶シリコンによる転送ゲート電極56を

形成して転送用トランジスタ $T r 1$ を形成し、 $n$ 型半導体領域 $5 5$ と $n$ 型半導体領域 $5 7$ 間にゲート絶縁膜を介して例えば多結晶シリコンによるリセットゲート電極 $5 8$ を形成してリセット用トランジスタ $T r 2$ を形成する。半導体基板 $5 2$ には、各画素 $5 0$ を区画するように素子分離領域 $5 9$ を形成する。

【0052】

さらに、画素 $5 0$ を形成した半導体基板 $5 2$ 上に、例えば $S i O_2$ 膜による層間絶縁膜 $6 1 1$ を介してデュアルダマシン法を用いて第1層目の $C u$ 配線 $6 2 1$ を形成する。 $C u$ 配線 $6 2 1$ の形成前には、フローティング・ディフュージョン $F D$ 及び $n$ 型半導体領域 $5 7$ に導通し、その後に $C u$ 配線 $6 2 1$ と接続される埋め込み導電部材 $6 0$ 、及び $C u$ 配線 $6 2 1$ の下面、側面に接する例えば $T a$ 、 $T a N$ によるバリア膜 $6 5$ を形成する。バリア膜 $6 5$ は $C u$ の拡散防止膜となる。

【0053】

次に、図8Bに示すように、第1層目の $C u$ 配線 $6 2 1$ の上面に接して全面に例えば $S i C$ 膜、 $S i N$ 膜による第1層目の $C u$ の拡散防止膜 $6 3 1$ を形成する。

【0054】

次に、図8Cに示すように、レジストマスク（図示せず）を介して、受光部であるフォトダイオード $P D$ 上に対応する部分の第1層目の拡散防止膜 $6 3 1$ を、層間絶縁膜 $6 1 1$ と共に、選択的にエッチング除去する。このエッチング除去で開口部 $8 3$ が形成される。

【0055】

次に、図9Dに示すように、上記開口 $8 3$ を埋めるように第1層目の拡散防止膜 $6 3 1$ 上を含む全面上に、例えば $S i O$ 膜による層間絶縁膜 $6 1 2$ を形成する。

【0056】

次に、図9Eに示すように、層間絶縁膜 $6 1 2$ を例えば $C M P$ （化学機械研磨）法により所要の膜厚に研磨して表面を平坦化する。

【0057】

次に、図9Fに示すように、層間絶縁膜 $6 1 2$ に上記と同様にしてバリア膜 $6 5$ で覆われた第2層目の $C u$ 配線 $6 2 2$ を形成する。

【0058】

次に、図10Gに示すように、第2層目の $C u$ 配線 $6 2 2$ の上面に接して全面に第2層目の $C u$ の拡散防止膜 $6 3 2$ を形成する。この第2層目の拡散防止膜 $6 3 2$ は、層内レンズを形成するに足る所要の厚さを有するように形成する。すなわち、この第2層目の拡散防止膜 $6 3 2$ の膜厚は、他の第1層目の拡散防止膜 $6 3 1$ の膜厚よりも厚く形成する。

【0059】

次に、図10Hに示すように、第2層目の拡散防止膜 $6 3 2$ 上のフォトダイオード $P D$ に対応する位置に、層内レンズ形状部材となるレジスト層 $8 4$ を選択的に形成する。このレジスト層 $7 2$ は、通常のリソグラフィ技術を用いて形成することができる。

【0060】

次に、図10Iに示すように、レジスト層 $8 4$ をリフロー処理してレジスト層による層内レンズ形状部材 $8 5$ を形成する。

【0061】

次に、図11Jに示すように、層内レンズ形状部材 $8 5$ と共に第2層目の拡散防止膜 $6 3 2$ をエッチバック処理して、第2層目の拡散防止膜 $6 3 2$ による層内レンズ $6 4$ を形成する。層内レンズ $6 4$ 以外の領域の拡散防止膜 $6 3 2$ の膜厚は第1層目の拡散防止膜 $6 3 1$ の膜厚と同等の膜厚となる。

【0062】

次に、図11Kに示すように、層内レンズ $6 4$ を覆うように全面に例えば $S i O_2$ 膜による層間絶縁膜 $6 1 3$ を形成する。

【0063】

次に、図11Lに示すように、層間絶縁膜 $6 1 3$ に上記と同様にしてバリア膜 $6 5$ で覆われた第3層目の $C u$ 配線 $6 2 3$ を形成する。

## 【0064】

次に、図12Mに示すように、第3層目のCu配線623の上面に接して全面に第3層目のCuの拡散防止膜633を形成する。

## 【0065】

次に、図12Nに示すように、レジストマスク（図示せず）を介して、層内レンズ64上に対応する部分の第3層目の拡散防止膜633を、層間絶縁膜613と共に、選択的にエッチング除去する。このエッチング除去で開口部86が形成される。

## 【0066】

次に、図12Oに示すように、上記開口部86を埋めるように第3層目の拡散防止膜633上を含む全面に、例えばSiO<sub>2</sub>膜による平坦化膜となる層間絶縁膜66を形成する。 10

## 【0067】

次に、図13Pに示すように、層間絶縁膜66を例えばCMP（化学機械研磨）法により所要の膜厚に研磨して表面を平坦化する。

## 【0068】

次に、図13Qに示すように、平坦化膜となる層間絶縁膜66上にカラーフィルタ67を形成し、その上にオンチップマイクロレンズ68を形成して目的の固体撮像装置81を得る。

## 【0069】

上述の第2実施の形態の固体撮像装置81及びその製造方法によれば、（第2層目のCu配線の拡散防止膜632を用いて層内レンズ64が形成されるので、光電変換部となる 20  
フォトダイオードPDから層内レンズ64までの層厚h3が、図1の第1実施の形態の固体撮像装置51の層厚h2よりもさらに低くなる。従って、入射光のフォトダイオードPDへの集光効率が有利になり、感度をより向上することができる。また、層内レンズ64を既存の拡散防止膜632を用いて形成するので、別途層内レンズ用の層を形成する必要がなく、製造工程数を削減することができ、製造の簡略化を図ることができる。このように本実施の形態では、図14の従来構造に比べて特性（感度）及び製造、コストの面で有利となる。

## 【0070】

また、層内レンズ64を形成する第2層目の拡散防止膜632以外の第1層目、第3層 30  
目の拡散防止膜631、633の受光部上（フォトダイオードPD上）の部分は選択的に除去するので、分光特性の悪化を回避できる。

また、層内レンズ64を作る拡散防止膜632を、他の拡散防止膜631、633より厚く形成するので、層内レンズ64の形成を確保すると共に、他の拡散防止膜631、633の膜厚を薄くしているので、全体の層厚を抑制することができる。

## 【0071】

上例では、層内レンズ64を上凸レンズで構成したが、図示せざるも下凸レンズで構成することもできる。

上例では、層内レンズ64を最上層（第3層目）の拡散防止膜633、あるいは第2層目の拡散防止膜632を用いて構成したが、その他、3層の拡散防止膜63〔631、6 40  
32、633〕のうちのいずれか2層の拡散防止膜を用いて層内レンズを構成することも出来る。この場合は、2段の層内レンズが形成される。また、3層の拡散防止膜631、632、633の全てを用いて層内レンズを形成することもできる。この場合は3段の層内レンズが形成される。

## 【0072】

上述した本発明に係る固体撮像装置及びその製造方法は、多画素化、小型化のCMOSイメージセンサに適用して好適である。

## 【図面の簡単な説明】

## 【0073】

【図1】 本発明に係る固体撮像装置の第1実施の形態を示す要部の構成図である。

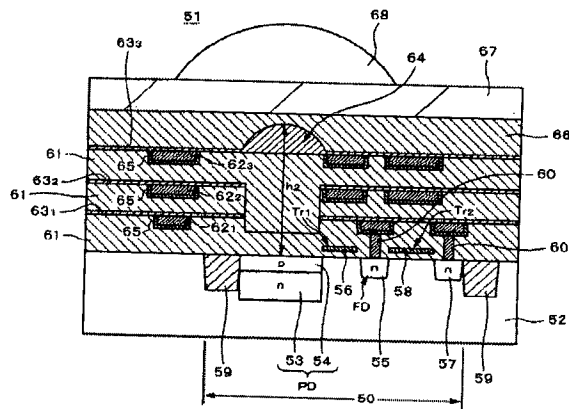
- 【図 2】 本発明に係る固体撮像装置の第 2 実施の形態を示す要部の構成図である。  
 【図 3】 A～C 第 1 実施の形態に係る固体撮像装置の製造工程図（その 1）である。  
 【図 4】 D～F 第 1 実施の形態に係る固体撮像装置の製造工程図（その 2）である。  
 【図 5】 G～H 第 1 実施の形態に係る固体撮像装置の製造工程図（その 3）である。  
 【図 6】 I～J 第 1 実施の形態に係る固体撮像装置の製造工程図（その 4）である。  
 【図 7】 K～L 第 1 実施の形態に係る固体撮像装置の製造工程図（その 5）である。  
 【図 8】 A～C 第 2 実施の形態に係る固体撮像装置の製造工程図（その 1）である。  
 【図 9】 D～F 第 2 実施の形態に係る固体撮像装置の製造工程図（その 2）である。  
 【図 10】 G～I 第 2 実施の形態に係る固体撮像装置の製造工程図（その 3）である。  
 【図 11】 J～L 第 2 実施の形態に係る固体撮像装置の製造工程図（その 4）である。  
 【図 12】 M～O 第 2 実施の形態に係る固体撮像装置の製造工程図（その 5）である。  
 【図 13】 P～Q 第 2 実施の形態に係る固体撮像装置の製造工程図（その 6）である。  
 【図 14】 従来の固体撮像装置の一例を示す要部の構成図である。  
 【図 15】 CMOS イメージセンサの概略構成図（等価回路）である。

【符号の説明】

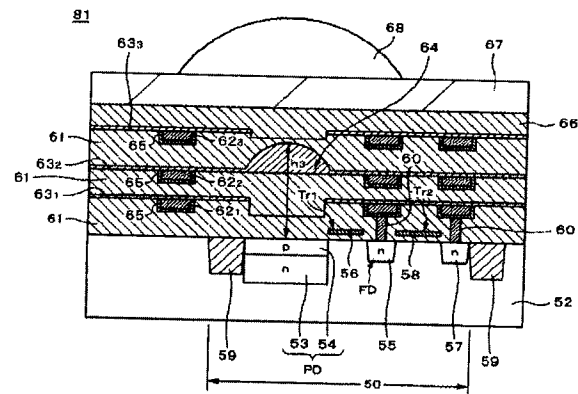
【0074】

50・・・画素、51、81・・・固体撮像装置、52・・・半導体基板、53・・・n型電荷蓄積領域、54・・・p型半導体領域、PD・・・フォトダイオード、Tr1、Tr2・・・MOSトランジスタ、60・・・埋め込み導電部材、61〔611、612、613〕、66・・・層間絶縁膜、621～623・・・Cu配線、631～633・・・拡散防止膜、65・・・バリア層、64・・・層内レンズ、67・・・カラーフィルタ、68・・・オンチップマイクロレンズ

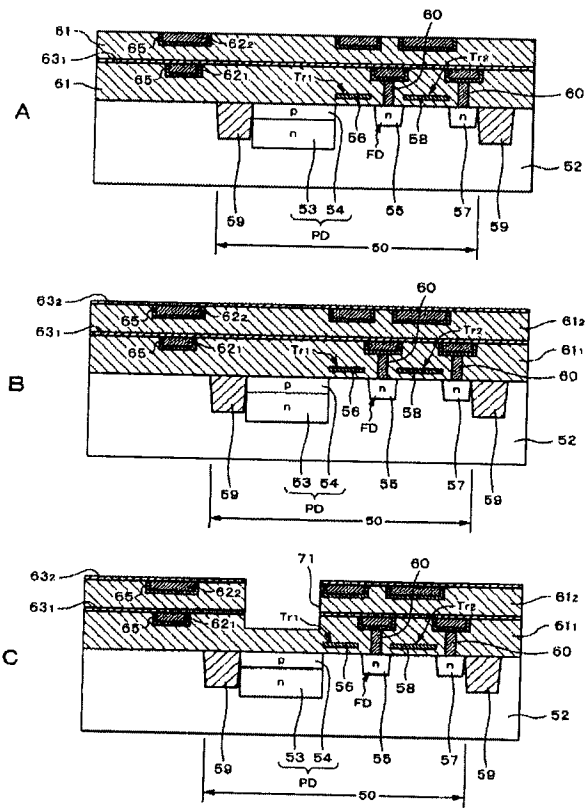
【図 1】



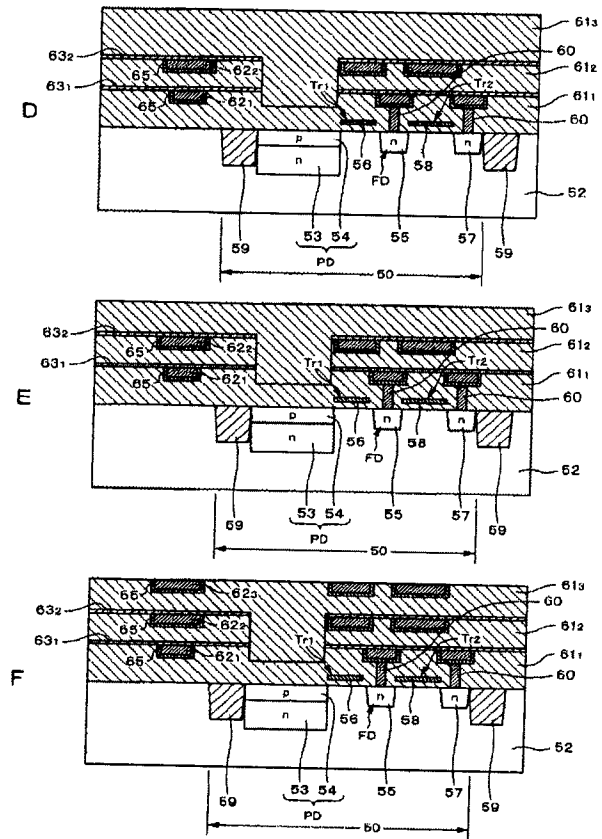
【図 2】



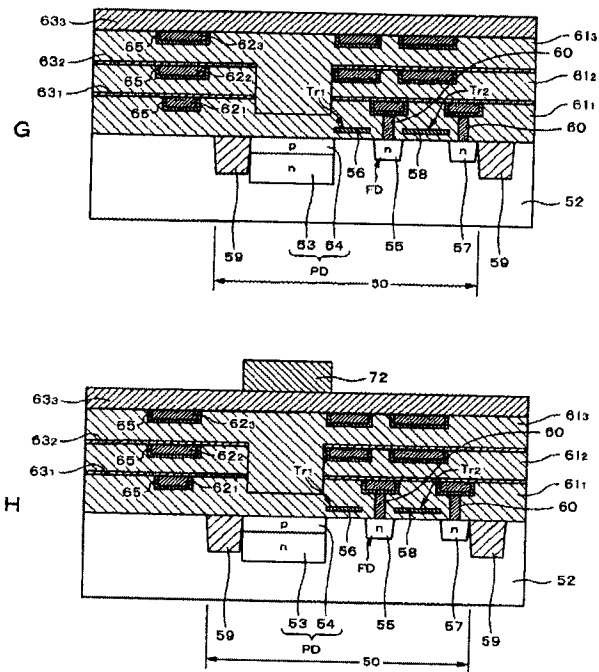
【図 3】



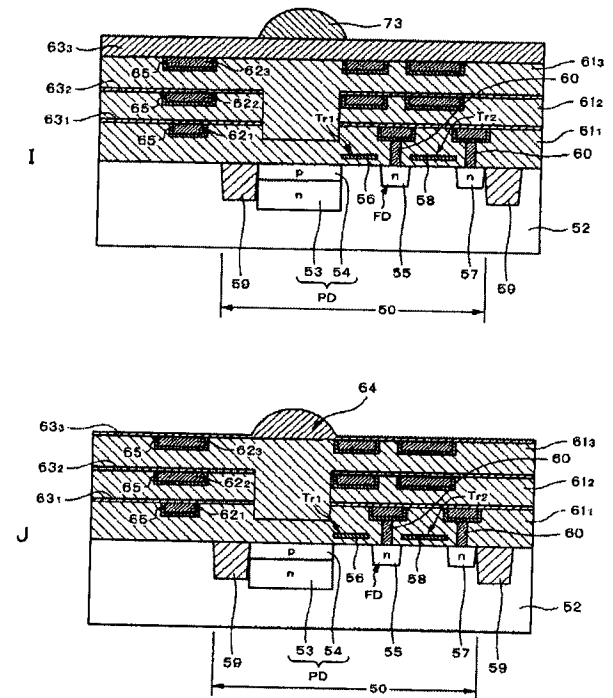
【図 4】



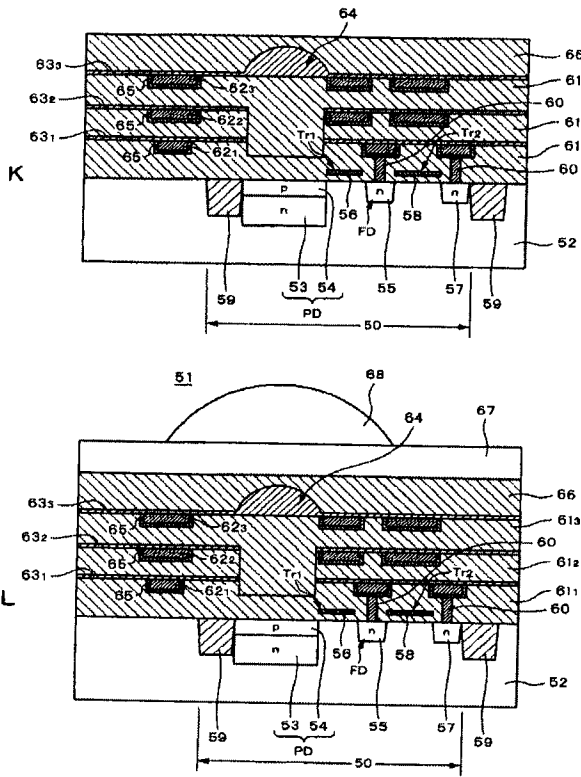
【図 5】



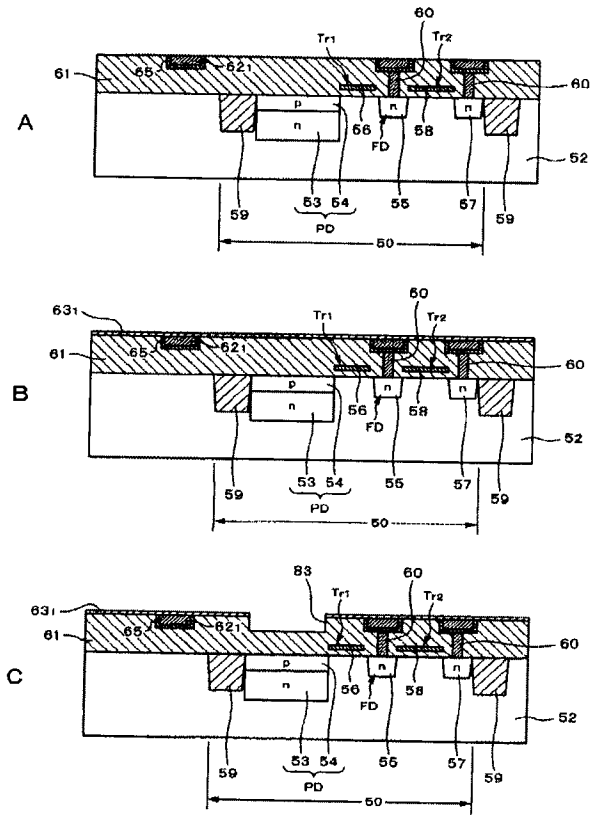
【図 6】



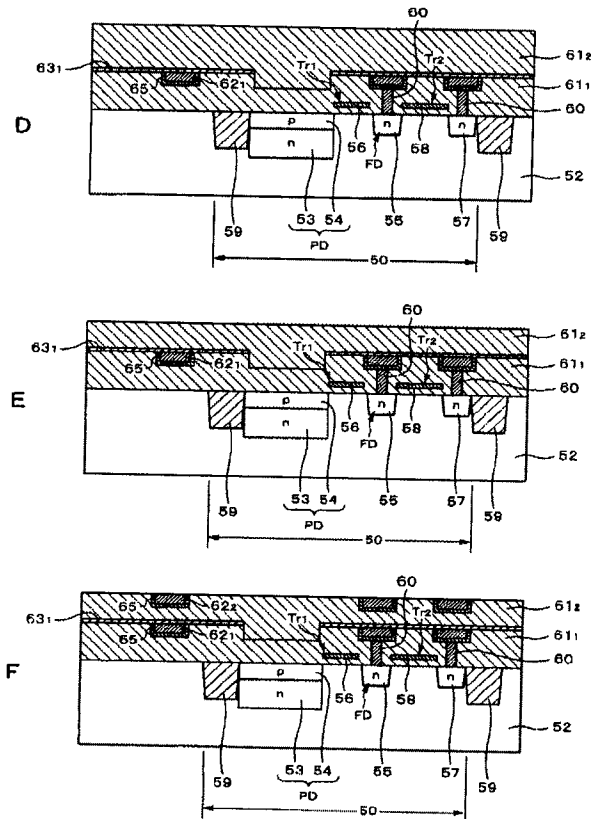
【図 7】



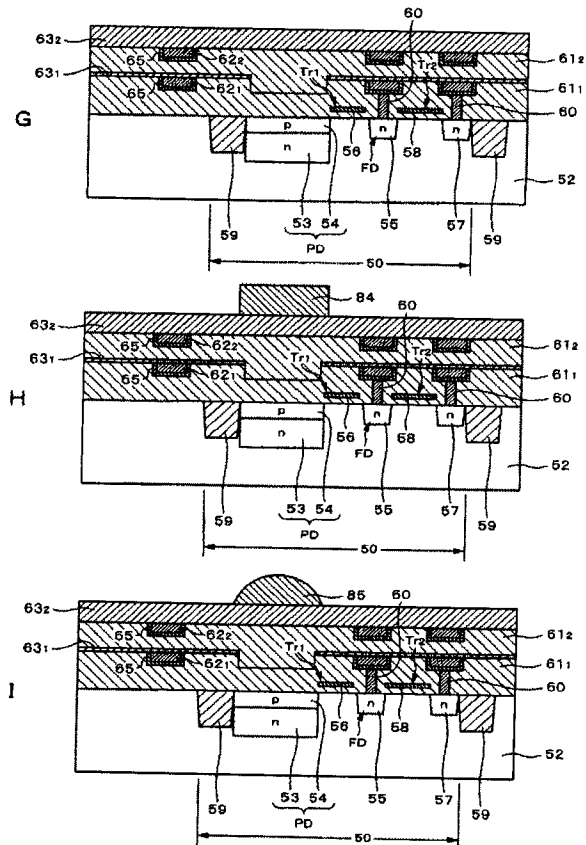
【図 8】



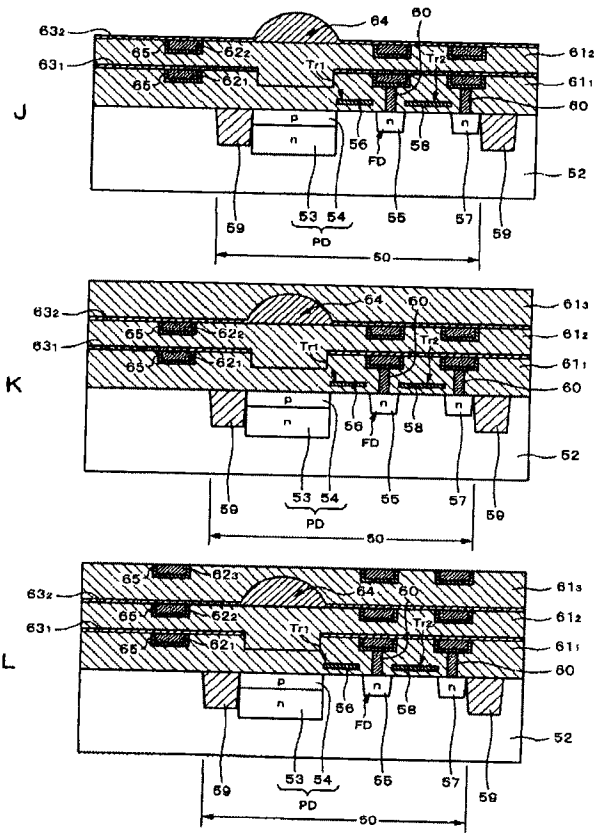
【図 9】



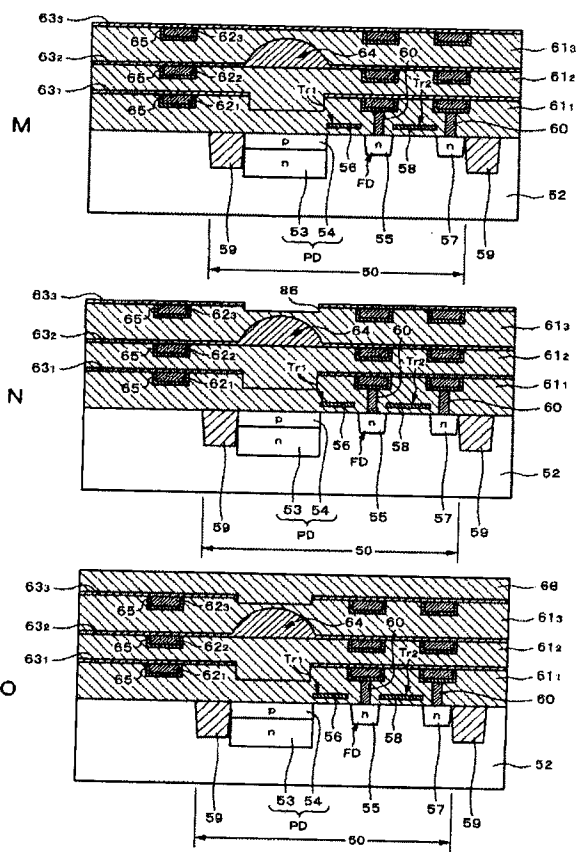
【図 10】



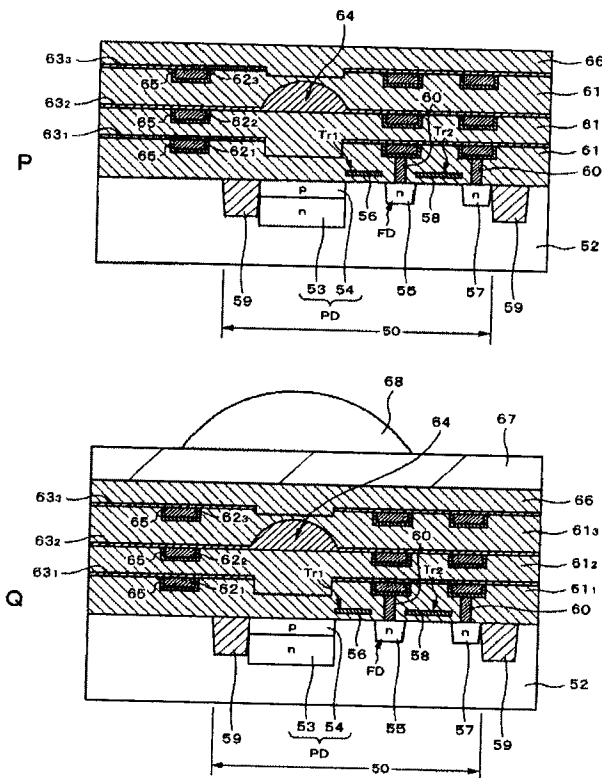
【図 1 1】



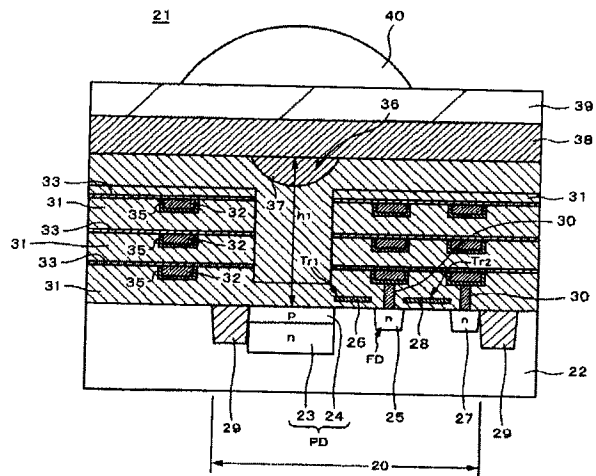
【図 1 2】



【図 1 3】



【図 1 4】







---

フロントページの続き

F ターム(参考) 4M118 AA01 AA10 AB01 BA14 CA04 DD04 DD10 DD12 EA01 FA06  
FA27 FA28 FA34 FA42 GC07 GD04 GD07